



8-15-05

IFW

Aug 13 2005

**TRANSMITTAL LETTER  
(General - Patent Pending)**Docket No.  
JP920030017US1

In Re Application Of:

Nakamura et al.

Application No.	Filing Date	Examiner	Customer No.	Group Art Unit	Confirmation No.
10/709456	May 6, 2004	Tan T. Nguyen	24,241	2827	3455

Title: **DYNAMIC SEMICONDUCTOR MEMORY DEVICE AND BIT LINE PRECHARGE METHOD THEREFOR****COMMISSIONER FOR PATENTS:**

Transmitted herewith is:

1. Copy of postcard indicating receipt in USPTO of Certified Copy of Foreign Application dated 7/21/2004.
2. "Replacement" Certified Copy of Foreign Application; Japanese Application #JP2003-128367
3. Return Postcard

in the above identified application.

No additional fee is required.

A check in the amount of \_\_\_\_\_ is attached.

The Director is hereby authorized to charge and credit Deposit Account No. 09-0456 as described below.

Charge the amount of \_\_\_\_\_

Credit any overpayment.

Charge any additional fee required.

Payment by credit card. Form PTO-2038 is attached.

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

  
*Michael J. LeStrange*  
Signature

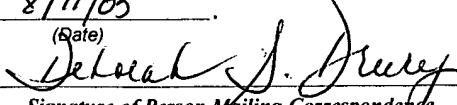
Dated: 8/11/05

Michael J. LeStrange, Reg. No. 53,207  
International Business Machines Corporation  
1000 River St., 972 E  
Essex Junction, VT 05452

Phone: 802-769-1375

cc:

EXPRESS MAIL # ER 792542273

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as <del>first class</del> mail in an envelope addressed to the "Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450" [37 CFR 1.8(a)] on
8/11/05
(Date)
 Signature of Person Mailing Correspondence
Deborah S. Drury
Typed or Printed Name of Person Mailing Correspondence



RECEIVED IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re Application of: Nakamura et al.

TITLE: DYNAMIC SEMICONDUCTOR MEMORY DEVICE AND BIT LINE  
PRECHARGE METHOD THEREFOR.

DOCKET NO: JP9-20030017

SERIAL NO: 10/709456

DATE Mailed: 7-19-04

Enclosed:

1. Return postcard;
2. Cover Sheet for Certified Copy of Foreign Application
3. Certified Copy of Foreign Application;  
Japanese Application JP2003-128367
4. Transmittal Letter
5. Information Disclosure Statement
6. PTO 1449 and Cited Art



JUL 26 2004

03 017

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 5月 6日

出願番号 Application Number: 特願2003-128367

[ST. 10/C]: [JP2003-128367]

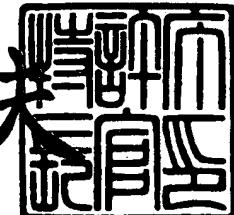
出願人 Applicant(s): インターナショナル・ビジネス・マシーンズ・コーポレーション

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2003年10月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康



出証番号 出証特2003-3089199

【書類名】 特許願  
【整理番号】 JP9030017  
【提出日】 平成15年 5月 6日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 11/409  
【発明者】  
【住所又は居所】 滋賀県野洲郡野洲町大字市三宅800番地 日本アイ・  
ビー・エム株式会社 野洲事業所内  
【氏名】 砂永 登志男  
【発明者】  
【住所又は居所】 滋賀県野洲郡野洲町大字市三宅800番地 日本アイ・  
ビー・エム株式会社 野洲事業所内  
【氏名】 中村 裕  
【特許出願人】  
【識別番号】 390009531  
【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレ  
ーション  
【代理人】  
【識別番号】 100086243  
【弁理士】  
【氏名又は名称】 坂口 博  
【代理人】  
【識別番号】 100091568  
【弁理士】  
【氏名又は名称】 市位 嘉宏  
【代理人】  
【識別番号】 100108501  
【弁理士】  
【氏名又は名称】 上野 剛史

**【復代理人】**

【識別番号】 100104444

**【弁理士】**

【氏名又は名称】 上羽 秀敏

**【手数料の表示】**

【予納台帳番号】 165170

【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0207860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ダイナミック型半導体記憶装置及びそのビット線プリチャージ方法

【特許請求の範囲】

【請求項 1】 スタンバイモードでリフレッシュ動作を行うダイナミック型半導体記憶装置であって、

複数のビット線対と、

前記ビット線対を電源電圧の半分の電圧にプリチャージするプリチャージ手段と、

複数のワード線と、

前記ワード線を選択的に活性化するロウデコーダと、

前記スタンバイモード中であって前記ワード線の活性化前の所定期間に前記プリチャージ手段を活性化しかつそれ以外の期間に非活性化する制御手段とを備えたことを特徴とするダイナミック型半導体記憶装置。

【請求項 2】 請求項 1 に記載のダイナミック型半導体記憶装置であってさらに、

前記電源電圧の半分の電圧を発生する電圧発生回路を備え、

前記プリチャージ手段は、

前記ビット線対の間に接続された第 1 のスイッチング素子と、

前記電圧発生回路の出力と前記ビット線対の一方との間に接続された第 2 のスイッチング素子と、

前記電圧発生回路の出力と前記ビット線対の他方との間に接続された第 3 のスイッチング素子とを含み、

前記制御手段は、前記第 2 及び第 3 のスイッチング素子を前記所定期間にオンにしかつそれ以外の期間にオフにすることを特徴とするダイナミック型半導体記憶装置。

【請求項 3】 請求項 2 に記載のダイナミック型半導体記憶装置であって、

前記制御手段は、前記第 1 のスイッチング素子を前記ワード線の非活性化後にオンにしかつ前記ワード線の活性化前にオフにすることを特徴とするダイナミッ

ク型半導体記憶装置。

【請求項4】 請求項1に記載のダイナミック型半導体記憶装置であってさらに、

前記電源電圧の半分の電圧を発生する電圧発生回路と、

前記ビット線対間の電位差を増幅するセンスアンプと、

前記ワード線に沿って配置されたダミーワード線とを備え、

前記プリチャージ手段は、

前記ビット線対の間に接続された第1のスイッチング素子と、

前記電圧発生回路の出力と前記ビット線対の一方との間に接続された第2のスイッキング素子と、

前記電圧発生回路の出力と前記ビット線対の他方との間に接続された第3のスイッキング素子とを含み、

前記ロウデコーダは、前記ワード線の非活性化後かつ前記所定期間に前に前記ダミーワード線を活性化し、

前記制御手段は、前記第1のスイッキング素子を前記所定期間にオンにし、前記第2及び第3のスイッキング素子を前記スタンバイモード中にオフにし、前記センスアンプを前記ダミーワード線に活性化中に活性化することを特徴とするダイナミック型半導体記憶装置。

【請求項5】 請求項1に記載のダイナミック型半導体記憶装置であってさらに、

前記電源電圧の半分の電圧を発生する電圧発生回路と、

前記ビット線対間の電位差を増幅するセンスアンプとを備え、

前記プリチャージ手段は、

前記ビット線対の間に接続された第1のスイッキング素子と、

前記電圧発生回路の出力と前記ビット線対の一方との間に接続された第2のスイッキング素子と、

前記電圧発生回路の出力と前記ビット線対の他方との間に接続された第3のスイッキング素子とを含み、

前記制御手段は、前記第1のスイッキング素子を前記所定期間にオンにし、前

記第2及び第3のスイッチング素子を前記スタンバイモード中にオフにし、前記センスアンプを前記ワード線の非活性化後かつ前記所定期間に前に活性化することを特徴とするダイナミック型半導体記憶装置。

【請求項6】 請求項1に記載のダイナミック型半導体記憶装置であって、前記プリチャージ手段は、

前記ビット線対の間に接続された第1のスイッチング素子と、電源と前記ビット線対の一方との間に接続された第2のスイッチング素子と、接地と前記ビット線対の他方との間に接続された第3のスイッチング素子とを含むことを特徴とするダイナミック型半導体記憶装置。

【請求項7】 請求項6に記載のダイナミック型半導体記憶装置であって、前記制御手段は、前記第1のスイッチング素子を前記所定期間にオンにし、前記第2及び第3のスイッチング素子を前記ワード線の非活性化後かつ前記所定期間に前にオンにすることを特徴とするダイナミック型半導体記憶装置。

【請求項8】 請求項6に記載のダイナミック型半導体記憶装置であって、前記ロウデコーダは、前記スタンバイモードで前記複数のワード線を順に連続して活性化し、前記制御手段は、前記ワード線の活性化ごと前記所定期間に前記第1のスイッチング素子をオンにし、前記ワード線の最初の活性化前であって前記所定期間に前記第2及び第3のスイッチング素子をオンにすることを特徴とするダイナミック型半導体記憶装置。

【請求項9】 スタンバイモードでリフレッシュ動作を行うダイナミック型半導体記憶装置におけるビット線プリチャージ方法であって、

前記スタンバイモード中であってワード線の活性化前の所定期間にビット線対を電源電圧の半分の電圧にプリチャージするステップと、

前記所定期間以外の期間に前記ビット線対を電気的にフローティング状態にするステップとを含むことを特徴とするダイナミック型半導体記憶装置におけるビット線プリチャージ方法。

【請求項10】 請求項9に記載のダイナミック型半導体記憶装置におけるビット線プリチャージ方法であって、

前記プリチャージするステップは、  
前記ビット線対の一方を電源に一時的に接続するステップと、  
前記ビット線対の他方を接地に一時的に接続するステップと、  
前記ビット線対が前記電源及び前記接地から切り離された後、前記ビット線対  
の一方及び他方を互いに短絡するステップとを含むことを特徴とするダイナミック型半導体記憶装置におけるビット線プリチャージ方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、ダイナミック型半導体記憶装置及びそのビット線プリチャージ方法  
に関し、さらに詳しくは、スタンバイモードでリフレッシュ動作を行うDRAM  
(Dynamic Random Access Memory) 及びそのビット線プリチャージ方法に関する  
。

##### 【0002】

##### 【従来の技術】

携帯電話、携帯情報端末（PDA；Personal Digital Assistant）など、電池  
で駆動される機器では、そこで使用される半導体装置の低消費電力化が最も重要な課題である。従来、半導体メモリとしてはSRAM (Static Random Access Memory) が広く使用してきた。SRAMのメモリセルは6つのCMOS (Complementary Metal Oxide Semiconductor) ドラッグレジスタからなり、わずかな消費電流でデータを保持できるからである。しかし、SRAMのメモリセルはDRAMのメモリセルよりも20倍以上大きい。また、近年必要なメモリ容量は増大しており、現在の0.2~0.13μm程度の配線技術で32Mビットや64MビットなどのSRAMを製造すると、チップサイズが大きくなりすぎる。このようにSRAMはDRAMよりも面積効率が悪いが、この面積効率の悪さは微細化によってさらに悪化する。このため、SRAMをDRAMで置き換えた製品が出始めている。

##### 【0003】

図12を参照して、従来のDRAMは、行及び列に配置されたメモリセル（図

示せず) を含むメモリセルアレイ10と、行に配置されたワード線WLと、列に配置されたビット線対BL, /BLと、ワード線WLを選択的に活性化するロウデコーダ12と、ビット線対BL, /BLの電位差を増幅するセンスアンプ14と、電源電圧Vddの半分の電圧Vdd/2を発生するハーフVddレギュレータ16と、ビット線対BL, /BLをVdd/2にプリチャージするNチャネルMOSトランジスタQ1～Q3と、センスアンプ14及びトランジスタQ1～Q3を制御するタイミング制御回路18とを備える。

#### 【0004】

D R A Mは、データの読み出し及び書き込み動作を行うアクティブモードのほか、スタンバイモードを有する。スタンバイモードでは、D R A Mは読み出し及び書き込み動作を全く行わず、データを保持するためにリフレッシュ動作のみを行う。リフレッシュ動作は一定の周期（以下「リフレッシュ周期」という）で行われる。リフレッシュ動作はメモリセルからデータを一旦読み出して再びメモリセルに書き込む動作で、基本的に通常の読み出しが書き込み動作と類似している。以下、リフレッシュ動作の詳細を説明する。

#### 【0005】

図13を参照して、リフレッシュ前においては、プリチャージ／イコライズ信号P C／E QがH（論理ハイ）レベルにあるので、トランジスタQ1～Q3はオンになっており、ビット線対BL, /BLはVdd/2にプリチャージされている。タイミング制御回路18がプリチャージ／イコライズ信号P C／E QをL（論理ロー）レベルにし、ロウデコーダ12がワード線WLを活性化すると、メモリセルからデータが読み出され、ビット線対BL, /BLの間に電位差が生じる。続いて、タイミング制御回路18がセンスアンプ制御信号S A CをHレベルにすると、センスアンプ14が活性化される。センスアンプ14はビット線対BL, /BLの間の電位差を増幅し、ビット線対BL, /BLの一方を電源電圧Vddまで引き上げ、他方を接地電圧GNDまで引き下げる。これによりデータがメモリセルに再書き込みされ、メモリセルのデータがリフレッシュされる。タイミング制御回路18がセンスアンプ制御信号S A CをLレベルに戻し、ロウデコーダ12がワード線WLを非活性化した後、タイミング制御回路18はプリチャー

ジ／イコライズ信号P C／E Qを再びHレベルにする。これによりビット線対B L, /BLは再びV d d / 2にプリチャージされる。上述したワード線WLの活性化から非活性化までの一連の動作を「リフレッシュ動作」という。

### 【0006】

ここで、仮に図12中の交点Xでワード線WLがビット線／BLと短絡していたとする。このようなビット線対BL, /BLは冗長ビット線対R BL, /RB Lと電気的に置き換えられるが、物理的にはそこに存在していることに変わりはない。したがって、ワード線WLの電圧が接地電圧GNDにある間に、ビット線対BL, /BLがV d d / 2にプリチャージされると、ビット線／BLとワード線WLとの間に漏れ電流I dが生じる。ハーフV d d レギュレータ16は常に活性化されているため、電源からハーフV d d レギュレータ16、ビット線／BL及びワード線WLを通して接地に向け、漏れ電流I Dが流れる。ハーフV d d レギュレータ16の効率をR e ( $0 < R e < 1$ ) とすると、漏れ電流I Dは $I d / R e$ で表される。

### 【0007】

図14はスタンバイモードにおける消費電流（以下「スタンバイ電流」という）を示す。リフレッシュ周期T rがたとえば15. 6  $\mu$ sの場合、0. 2  $\mu$ m程度の配線技術下では、リフレッシュに実際にかかる時間（以下「リフレッシュ稼働期間」という）T 1は60 ns程度である。リフレッシュ稼働期間T 1にはリフレッシュによる大きな交流電流ACが流れる。図14には、交流電流ACをリフレッシュ稼働期間T 1で平均化したリフレッシュ電流RF 1及びリフレッシュ周期T rで平均化したリフレッシュ電流RF 2が表されている。一方、リフレッシュ周期T rの99. 6%以上に当たる15. 54  $\mu$ sの期間（以下「リフレッシュ非稼働期間」という）T 2にはこのような交流電流ACは流れない。しかしDRAMでは、ハーフV d d レギュレータ16のほか、様々な基準電圧発生回路が周辺回路に設けられているため、リフレッシュ非稼働期間T 2にも直流電流DCが流れる。さらに、上述した漏れ電流IDも流れる。したがって、スタンバイ電流STは、直流電流DC、リフレッシュ電流RF 2及び漏れ電流IDの総和となる。

**【0008】**

漏れ電流IDは欠陥に起因するため、その値は予想し難い。そのため、規格上は大きめの値を想定しなければならない。しかも、漏れ電流IDはばらつきも大きいため、漏れ電流IDの少ないDRAMを長期間に渡って定常に製造するのは困難である。漏れ電流IDは数十メガビット級のDRAMでも数十 $\mu$ Aにもなり、数ギガビット級のDRAMではさらに大きくなる。したがって、漏れ電流IDはリフレッシュ電流RF2よりもはるかに大きくなることが予想され、10 $\mu$ A程度のスタンバイ電流を目標とする低電流DRAMにとっては深刻な問題となる。

**【0009】**

後掲の特許文献1には、このような欠陥による漏れ電流を防止するため、ビット線対をVdd/2にプリチャージするハーフVddプリチャージ方式ではなく、ビット線対をワード線と同じ接地電圧にプリチャージするGNDプリチャージ方式が開示されている。この方式によれば、スタンバイモードでビット線対の電圧がワード線と同じ接地電圧になるため、漏れ電流はなくなる。しかし、アクティブモードでビット線対の電圧を接地電圧と電源電圧との間でフルに振幅させなければならないため、通常の動作電流はハーフVddプリチャージ方式の2倍になる。したがって、GNDプリチャージ方式は結果的に消費電流を低減するのに効果的ではない。

**【0010】****【特許文献1】**

特開平5-128858号公報

**【0011】****【発明が解決しようとする課題】**

本発明の目的は、スタンバイ電流を低減することの可能なダイナミック型半導体記憶装置及びそのビット線プリチャージ方法を提供することである。

**【0012】**

本発明のもう1つの目的は、通常の動作電流を増加させることなく、欠陥による漏れ電流を低減することの可能なダイナミック型半導体記憶装置及びそのビッ

ト線プリチャージ方法を提供することである。

### 【0013】

#### 【課題を解決するための手段】

本発明によるダイナミック型半導体記憶装置は、スタンバイモードでリフレッシュ動作を行うダイナミック型半導体記憶装置であって、複数のビット線対と、プリチャージ手段と、複数のワード線と、ロウデコーダと、制御手段とを備える。プリチャージ手段は、ビット線対を電源電圧の半分の電圧にプリチャージする。ワード線はビット線対と交差する。ロウデコーダは、ワード線を選択的に活性化する。制御手段は、スタンバイモード中であってワード線の活性化前の所定期間にプリチャージ手段を活性化しつつそれ以外の期間に非活性化する。

### 【0014】

本発明によるビット線プリチャージ方法は、スタンバイモード中であってワード線の活性化前の所定期間にビット線対を電源電圧の半分の電圧にプリチャージするステップと、所定期間以外の期間にビット線対を電気的にフローティング状態にするステップとを含む。

### 【0015】

このダイナミック型半導体記憶装置及びそのビット線プリチャージ方法では、スタンバイモードでリフレッシュ動作を行うためにワード線が活性化される。ビット線対はワード線の活性化前の所定期間にプリチャージされ、それ以外の期間にプリチャージされず、電気的にフローティング状態にされる。したがって、仮にワード線がビット線と短絡していたとしても、ワード線とビット線との間に漏れ電流は流れない。その結果、スタンバイ電流を低減することができる。加えて、ビット線対は従来と同様に電源電圧の半分の電圧にプリチャージされるので、アクティブモードで通常の動作電流が増加することはない。

### 【0016】

#### 【発明の実施の形態】

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明を援用する。

### 【0017】

### [第1の実施の形態]

図1を参照して、本実施の形態によるDRAMは、メモリセルアレイ20と、ハーフVddレギュレータ16と、ロウアドレスレシーバ24と、タイマ26と、ロウアドレスカウンタ28と、セレクタ30とを備える。メモリセルアレイ20は複数のブロック22に分割される。ハーフVddレギュレータ16は電源電圧の半分の電圧Vdd/2を発生し、メモリセルアレイ20に供給する。

### 【0018】

図2を参照して、各ブロック22は、行及び列に配置されたメモリセル（図示せず）を含むメモリセルアレイ10と、行に配置された複数のワード線WLと、列に配置され、ワード線WLと交差する複数のビット線対BL, /BLと、プリデコード信号PDに応答してワード線WLを選択的に活性化するロウデコーダ12と、ビット線BLとビット線/BLと間の電位差を増幅するセンスアンプ14と、ビット線対BL, /BLをVdd/2にプリチャージするトランジスタQ1～Q3と、センスアンプ14及びトランジスタQ1～Q3を制御するタイミング制御回路18とを備える。

### 【0019】

トランジスタQ1はビット線BLとビット線/BLとの間に接続される。トランジスタQ2はビット線BLとハーフVdd線32との間に接続される。トランジスタQ3はビット線/BLとハーフVdd線32との間に接続される。ハーフVdd線32はハーフVddレギュレータ16の出力に接続される。トランジスタQ1～Q3のゲートにはプリチャージ/イコライズ信号PC/EQが共通に与えられる。トランジスタQ1～Q3はプリチャージ/イコライズ信号PC/EQに応答してオン又はオフになる。

### 【0020】

再び図1を参照して、ロウアドレスレシーバ24は、入力された外部ロウアドレス信号ERAを受信する。タイマ26は、所定のリフレッシュ周期（たとえば15.6μs）でリフレッシュイネーブル信号REをロウアドレスカウンタ28及びセレクタ30に与える。ロウアドレスカウンタ28は、内部ロウアドレス信号IRAを発生しつつ保持する。内部ロウアドレス信号IRAはリフレッシュイ

ネーブル信号REに応答してカウントアップされる。通常のアクセスモードでは、セレクタ30はロウアドレスレシーバ24からの外部ロウアドレス信号ERAを選択する。一方、スタンバイモードでは、セレクタ30はリフレッシュイネーブル信号REに応答してロウアドレスカウンタ28からの内部ロウアドレス信号IRAを選択する。

#### 【0021】

セレクタ30により選択されたロウアドレス信号ERA又はIRAは、メモリセルアレイ20内のプリデコーダ（図示せず）に与えられる。プリデコーダは、ロウアドレス信号ERA又はIRAをプリデコードし、プリデコード信号PDをロウデコーダ12に、ブロックイネーブル信号BEをタイミング制御回路18に与える。タイミング制御回路18はブロックイネーブル信号BEに応答して活性化され、ブロック22を選択する。

#### 【0022】

次に、このDRAMのスタンバイモードにおけるリフレッシュ動作を説明する。

#### 【0023】

従来のプリチャージ／イコライズ信号PC／EQは図13に示したようにワード線WLの非活性化から活性化までの期間ずっとHレベルになるが、本実施の形態のプリチャージ／イコライズ信号PC／EQは図3に示すようにワード線WLの活性化前の所定期間TpCだけHレベルになり、それ以外の期間はLレベルになる。

#### 【0024】

タイミング制御回路18がプリチャージ／イコライズ信号PC／EQをHレベルにすると、トランジスタQ1～Q3が一斉にオンになる。これによりビット線対BL，／BLがハーフVdd線32に接続され、かつビット線BLとビット線／BLとが互いに短絡される。そのため、ビット線対BL，／BLはVdd/2にプリチャージされる。

#### 【0025】

プリチャージ／イコライズ信号PC／EQがLレベルに戻った後、ロウデコー

ダ 1 2 がワード線WLを活性化し、ワード線WLの電圧が電源電圧Vddよりも高い昇圧電圧まで上昇すると、メモリセルからデータが読み出され、ビット線対BL, /BLの間に電位差が生じる。タイミング制御回路18がセンスアンプ制御信号SACをHレベルにすると、センスアンプ14が活性化される。センスアンプ14は、高い方のビット線の電圧を電源電圧Vddまで引き上げ、低い方のビット線の電圧を接地電圧GNDまで引き下げる。これによりデータがメモリセルに再書き込みされ、リフレッシュされる。

### 【0026】

続いて、タイミング制御回路18がセンスアンプ制御信号SACをLレベルに戻し、ロウデコーダ12がワード線WLを非活性化し、ワード線WLの電圧が接地電圧GNDまで戻る。ワード線WLの非活性化後、従来のプリチャージ／イコライズ信号PC／EQは直ちにHレベルになるが、本実施の形態のプリチャージ／イコライズ信号PC／EQはLレベルを維持する。したがって、ビット線対BL, /BLはプリチャージされることなく、電気的にフローティング状態のまま維持される。よって、高い方のビット線の電圧Vddは徐々に接地電圧GNDに向かって下降する。

### 【0027】

そして再び、ワード線WLの活性化前の所定期間TpCだけタイミング制御回路18はプリチャージ／イコライズ信号PC／EQをHレベルにする。

### 【0028】

本実施の形態によれば、仮に図2中の交点Xでワード線WLがビット線／BLと短絡していたとしても、所定期間TpC以外の期間、プリチャージ／イコライズ信号PC／EQはLレベルになるので、ビット線対BL, /BLはハーフVdd線32から切り離され、Vdd/2にプリチャージされない。そのため、ビット線／BLとワード線WLとの間に従来のような漏れ電流は流れない。しかも本実施の形態は、従来と同様にビット線対BL, /BLをVdd/2にプリチャージするハーフVddプリチャージ方式を採用しているので、ビット線対BL, /BLの電圧を接地電圧GNDと電源電圧Vddとの間でフルに振幅させる必要はない。そのため、ビット線対BL, /BLを接地電圧GNDにプリチャージする

GNDプリチャージ方式のようにアクティブ電流が増加することはない。その結果、スタンバイ電流を効果的に低減することができる。

### 【0029】

ただし、リフレッシュ前にビット線対BL, /BLを接地電圧GNDからVdd/2にプリチャージしなければならないため、新たにプリチャージ電流が必要になる。したがって、所定のリフレッシュ周期（たとえば15.6μs）で単発的にリフレッシュを行うよりもバーストリフレッシュを行う方が好ましい。

### 【0030】

たとえば1回のバーストリフレッシュで16本のワード線が順に連続的に活性化される場合において、ワード線1本当たりのリフレッシュ稼働期間が60nsとすると、1回のバーストリフレッシュに960ns (=60ns×16)かかる。さらに、このバーストリフレッシュを15.6μsのリフレッシュ周期で16回行うとすると、16回のバーストリフレッシュに249.6μs (=15.6μs×16)かかる。

### 【0031】

このようなバーストリフレッシュを行う場合においては、ワード線を活性化するたびにその直前でビット線対をプリチャージする必要はない。そこで、最初にワード線を活性化する直前だけビット線対をプリチャージし、以降のワード線を活性化する直前にはビット線対をプリチャージしないようにすれば、プリチャージ電流は、16回のバーストリフレッシュでは1/16になり、32回のバーストリフレッシュでは1/32になる。

### 【0032】

0.2μm程度の配線技術を想定し、ビット線1本当たりの寄生容量を100fF、Vdd/2=0.75V、ビット線対の数を4K (=4×1024) とすると、ビット線対を接地電圧からVdd/2にプリチャージするために必要なプリチャージ電流Ipは次式で表される。

$$I_p = 100 \text{ fF} \times 2 \times 4 \times 1024 \times 0.75 \text{ V} / 15.6 \mu\text{s} = 39 \mu\text{A}$$

### 【0033】

16回のバーストリフレッシュでは、 $I_p = 39 \mu\text{A} / 16 = 2.4 \mu\text{A}$ にな

り、32回のバーストリフレッシュでは、 $I_p = 39 \mu A / 32 = 1.2 \mu A$ になる。

欠陥による漏れ電流が数十 $\mu A$ を超えるような場合と比較すれば、プリチャージ電流 $I_p$ の増加は小さいといえる。

### 【0034】

#### [第2の実施の形態]

上記第1の実施の形態と異なり本実施の形態では、図4に示すように、タイミング制御回路18がイコライズ信号EQ及びプリチャージ信号PCを出力する。イコライズ信号EQはトランジスタQ1のゲートに共通に与えられ、プリチャージ信号PCはトランジスタQ2, Q3のゲートに共通に与えられる。図5に示すように、イコライズ信号EQは従来のプリチャージ／イコライズ信号PC／EQ（図13）と同様に変化し、プリチャージ信号PCは上記第1の実施の形態のプリチャージ／イコライズ信号PC／EQ（図3）と同様に変化する。

### 【0035】

ワード線WLが非活性化されると、イコライズ信号EQはHレベルになるが、プリチャージ信号PCはLレベルを維持する。イコライズ信号EQがHレベルになると、トランジスタQ1がオンになり、ビット線BLとビット線／BLとが互いに短絡される。一方、プリチャージ信号PCはLレベルのままであるので、トランジスタQ2, Q3はオフのままである。したがって、ビット線対BL, ／BLはフローティング状態にあり、ハーフVddレギュレータ16によりプリチャージされない。そのため、仮に図4中の交点Xでワード線WLがビット線／BLと短絡していたとしても、ビット線／BLとワード線WLとの間に漏れ電流は流れないと想定される。

### 【0036】

ワード線WLが活性化される前の所定期間TpC、プリチャージ信号PCがHレベルになる。このとき、イコライズ信号EQはHレベルを維持する。プリチャージ信号PCがHレベルになると、トランジスタQ2, Q3がオンになり、ビット線対BL, ／BLがハーフVddレギュレータ16によりVdd/2にプリチャージされる。そして、イコライズ信号EQ及びプリチャージ信号PCがともに

L レベルに戻った後、ワード線WLの電圧が上昇する。

### 【0037】

以上のように本実施の形態によれば、プリチャージ信号PCがワード線WLの活性化直前の所定期間T<sub>p c</sub>以外の期間でL レベルになり、ビット線対BL, / BLをハーフVdd線32から切り離しているため、欠陥による漏れ電流が流れない。その結果、スタンバイ電流を低減することができる。

### 【0038】

#### [第3の実施の形態]

上記第2の実施の形態と異なり本実施の形態では、図6に示すように、通常のワード線WLに沿ってダミーワード線DWLが設けられる。ダミーワード線WLは一般にメモリセルアレイ10の端にレイアウトの規則性を維持するために設けられ、データの読み出しが書込動作のために使用されない。本実施の形態ではダミーワード線DWLを活性化してダミーの読み出しが行う。

### 【0039】

具体的には図7に示すように、タイミング制御回路18は、ワード線WLの活性化直前の所定期間T<sub>p c</sub>にイコライズ信号EQをH レベルにし、プリチャージ信号PCをスタンバイモード中は常にL レベルに維持する。ロウデコーダ12は、ワード線WLを活性化する前に、ダミーワード線DWLを活性化する。ここでは実際にデータを読み出すわけではないので、ロウデコーダ12はダミーワード線DWLの電圧を電源電圧Vddよりも高い昇圧電圧まで上昇させる必要はなく、電源電圧Vddまで上昇させれば足りる。ダミーワード線DWLが活性化されている間にタイミング制御回路18はセンスアンプ制御信号SACをH レベルにする。

### 【0040】

ダミーワード線DWLが活性化されると、ダミーワード線DWLに接続されているダミーメモリセル（図示せず）からデータがビット線対BL, / BLに読み出される。このデータは不特定であるが、ビット線対BL, / BLの間に何らかの電位差が生じる。センスアンプ制御信号SACがH レベルになると、センスアンプ14が活性化され、その電位差を増幅する。これにより高い方のビット線の

電圧は電源電圧Vddまで引き上げられ、低い方のビット線の電圧は接地電圧GNDまで引き下げられる。

#### 【0041】

センスアンプ制御信号SACがLレベルに戻り、ダミーワード線DWLの電圧が接地電圧GNDに戻った後、イコライズ信号EQがHレベルになると、トランジスタQ1がオンになり、ビット線BLとビット線/B<sub>L</sub>とが互いに短絡される。そのため、ビット線対BL, /BLの電圧はVdd/2にイコライズされる。イコライズ信号EQがLレベルに戻った後、ワード線WLの電圧が上昇する。

#### 【0042】

以上のように本実施の形態によれば、プリチャージ信号PCがスタンバイモードで常にLレベルを維持し、ビット線対BL, /BLをハーフVdd線32から切り離しているため、欠陥による漏れ電流は流れない。その結果、スタンバイ電流を低減することができる。プリチャージ信号PCはスタンバイモードで常にLレベルを維持するが、ワード線WLを活性化する前に、ダミーワード線DWLを活性化しつつセンスアンプ14を活性化しているため、ビット線対BL, /BLをVdd/2にプリチャージすることができる。

#### 【0043】

##### [第4の実施の形態]

上記第3の実施の形態では、ビット線対BL, /BLをVdd/2にプリチャージするために、ダミーワード線DWLを用いてダミーの読出動作を行っているが、ダミーワード線DWLがなければ単にセンスアンプ14を活性化するだけでもよい。具体的には図8に示すように、ビット線対BL, /BLの電圧をイコライズする直前にタイミング制御回路18がセンスアンプ制御信号SACをHレベルにする。なお、本実施の形態の構成は図4に示した第2の実施の形態の構成と同じである。

#### 【0044】

いずれのワード線WLも活性化されていないときにセンスアンプ制御信号SACがHレベルになると、センスアンプ14が活性化される。このときビット線対BL, /BLに何らデータは読み出されないが、ビット線対BL, /BLの間に

は自然にわずかな電位差が生じている。センスアンプ14はこの電位差を増幅し、これにより高い方のビット線の電圧は電源電圧Vddまで引き上げられ、低い方のビット線の電圧は接地電圧GNDまで引き下げられる。センスアンプ制御信号SACがLレベルに戻ってセンスアンプ14が非活性化された後、イコライズ信号EQがHレベルになると、ビット線対BL, /BLはイコライズされ、Vdd/2にプリチャージされる。

### 【0045】

#### [第5の実施の形態]

本実施の形態では上記実施の形態におけるハーフVddレギュレータ16は設けられない。代わりに、図9に示すように電源線34及び接地線36が設けられる。電源線34には電源電圧Vddが供給される。接地線36には接地電圧GNDが供給される。電源線34とビット線BLとの間にはPチャネルMOSトランジスタQ4が接続される。接地線36とビット線/BLとの間にはNチャネルMOSトランジスタQ5が接続される。プリチャージ信号PCPは複数のトランジスタQ4のゲートに共通に与えられる。プリチャージ信号PCNは複数のトランジスタQ5のゲートに共通に与えられる。トランジスタQ4はプリチャージ信号PCPに応答してオン又はオフになる。トランジスタQ5はプリチャージ信号PCNに応答してオン又はオフになる。

### 【0046】

タイミング制御回路18は、図10に示すように、ワード線WLが活性化される直前の所定期間Tpclにイコライズ信号EQをHレベルにする。タイミング制御回路18はさらに、イコライズ信号EQがHレベルになる直前の所定期間Tpcl2にプリチャージ信号PCPをLレベルにしつつプリチャージ信号PCNをHレベルにする。

### 【0047】

プリチャージ信号PCPがLレベルになると、トランジスタQ4がオンになり、一方のビット線BLが電源線34に接続され、電源電圧Vddにプリチャージされる。これと同時に、プリチャージ信号PCNがHレベルになると、トランジスタQ5がオンになり、他方のビット線/BLが接地線36に接続され、接地電

圧GNDにプリチャージされる。プリチャージ信号P CPがHレベルに戻りかつプリチャージ信号P CNがLレベルに戻った後、イコライズ信号EQがHレベルになると、ビット線対BL, /BLはイコライズされ、Vdd/2にプリチャージされる。すなわち、一方のビット線BLが電源線34に、他方のビット線/BLが接地線36にそれぞれ一時的に接続される。ビット線対BL, /BLが電源線34及び接地線36から切り離された後、一方のビット線BLと他方のビット線/BLとが互いに短絡される。

#### 【0048】

以上のように本実施の形態によれば、ワード線WLが活性化される前の所定期間Tpc2以外の期間でプリチャージ信号P CPがHレベルになりかつプリチャージ信号P CNがLレベルになり、ビット線対BL, /BLを電源線34及び接地線36から切り離しているため、欠陥による漏れ電流が流れない。その結果、スタンバイ電流を低減することができる。しかもハーフVddレギュレータ16が不要であるため、これによる消費電力も低減することができる。

#### 【0049】

##### [第6の実施の形態]

上記第5の実施の形態ではワード線WLが活性化される前に毎回ビット線対BL, /BLの電圧を接地電圧GNDと電源電圧Vddとの間にフルに振幅させているが、メモリセルアレイ10内の全ワード線WLを順番に連続して活性化するバーストリフレッシュ動作ではその必要はない。本実施の形態では図11に示すように、ビット線対BL, /BLの電圧を最初のワード線WL1が活性化される前だけフルに振幅させ、それ以降のワード線WL2～WL256が活性化される前にはフルに振幅させない。

#### 【0050】

具体的には、最初のワード線WL1が活性化される前の所定期間Tpc2に、タイミング制御回路18はプリチャージ信号P CPをLレベルにしつつプリチャージ信号P CNをHレベルにする。これによりビット線対BL, /BLの電圧がフルに振幅され、一方のビット線BLが電源電圧Vddにプリチャージされ、他方のビット線/BLが接地電圧GNDにプリチャージされる。続いてイコライズ

信号EQがHレベルになると、ビット線対BL, /BLはイコライズされ、Vd/2にプリチャージされる。

### 【0051】

従来、仮にワード線WLがビット線/BLと5kΩで短絡していたとすると、Vdd=1.6Vの場合、Id=1.6V/2/5kΩ=160μAとなる。さらにRe=0.8とすると、ID=160μA/0.8=200μAとなる。したがって、このような欠陥が1つでもあれば、低電流DRAMの規格を満足することはできない。

### 【0052】

これに対し本実施の形態では、たとえばVdd=1.6V、ワード線の数を256本、センスアンプの活性化時間を10ns、メモリセルがデータを保持可能なりテンション時間を64msとすれば、スタンバイモードにおけるDC電流の増加量は0.013μA (=1.6V/5kΩ×256×10ns/64ms) に抑えられる。したがって、上記のような欠陥が100個あってもDC電流の増加量は1.3μAである。その結果、欠陥に対して多大な注意を払う必要はなく、低電流DRAMを高い歩留まりで生産することができる。

### 【0053】

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施の形態によるDRAMの全体構成を示す機能ブロック図である。

#### 【図2】

図1中のブロックの具体的な構成を示す機能ブロック図である。

#### 【図3】

図1及び図2に示したDRAMのリフレッシュ動作を示すタイミング図である

**【図4】**

本発明の第2の実施の形態によるDRAMの一部構成を示す機能ブロック図である。

**【図5】**

図4に示したDRAMのリフレッシュ動作を示すタイミング図である。

**【図6】**

本発明の第3の実施の形態によるDRAMの一部構成を示す機能ブロック図である。

**【図7】**

図6に示したDRAMのリフレッシュ動作を示すタイミング図である。

**【図8】**

本発明の第4の実施の形態によるDRAMのリフレッシュ動作を示すタイミング図である。

**【図9】**

本発明の第5の実施の形態によるDRAMの一部構成を示す機能ブロック図である。

**【図10】**

図9に示したDRAMのリフレッシュ動作を示すタイミング図である。

**【図11】**

本発明の第6の実施の形態によるDRAMのリフレッシュ動作を示すタイミング図である。

**【図12】**

従来のDRAMの一部構成を示す機能ブロック図である。

**【図13】**

図12に示したDRAMのリフレッシュ動作を示すタイミング図である。

**【図14】**

図12に示したDRAMのスタンバイモードにおける消費電流を示す波形図である。

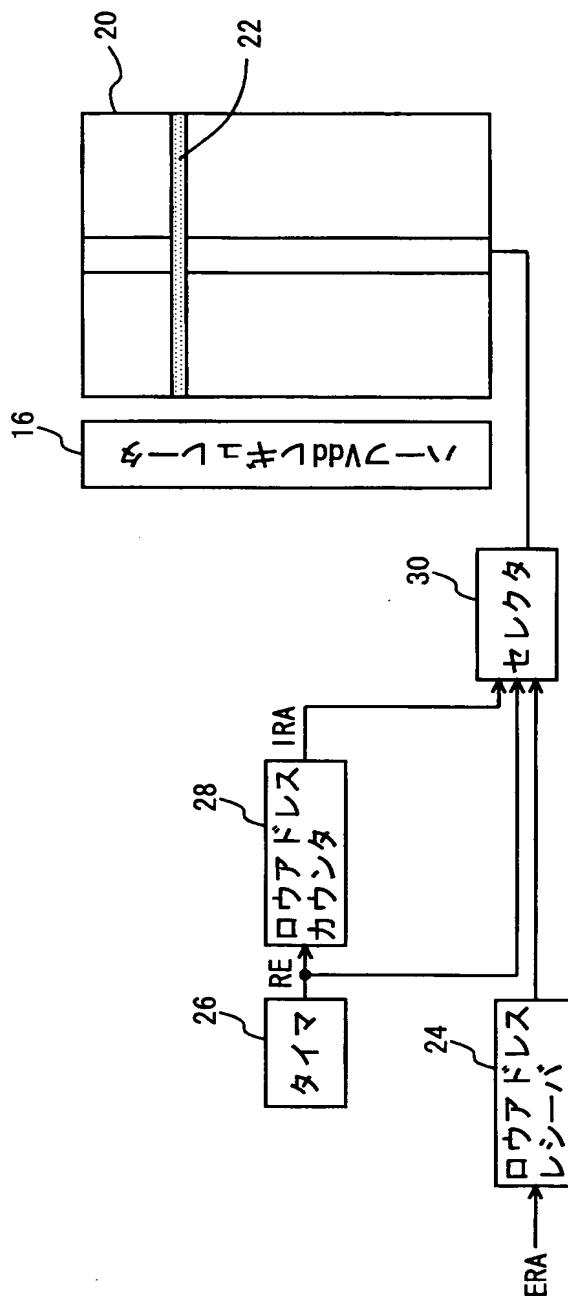
**【符号の説明】**

10, 20 メモリセルアレイ  
12 ロウデコーダ  
14 センスアンプ  
16 ハーフVddレギュレータ  
18 タイミング制御回路  
32 ハーフVdd線  
34 電源線  
36 接地線  
Q1～Q5 パソコン  
BL, /BL ビット線対  
WL ワード線  
DWL ダミーワード線  
Vdd 電源電圧  
GND 接地電圧  
PC/EQ プリチャージ/イコライズ信号  
PC, PCN, PCP プリチャージ信号  
EQ イコライズ信号  
SAC センスアンプ制御信号  
Tpc, Tpc1, Tpc2 所定期間

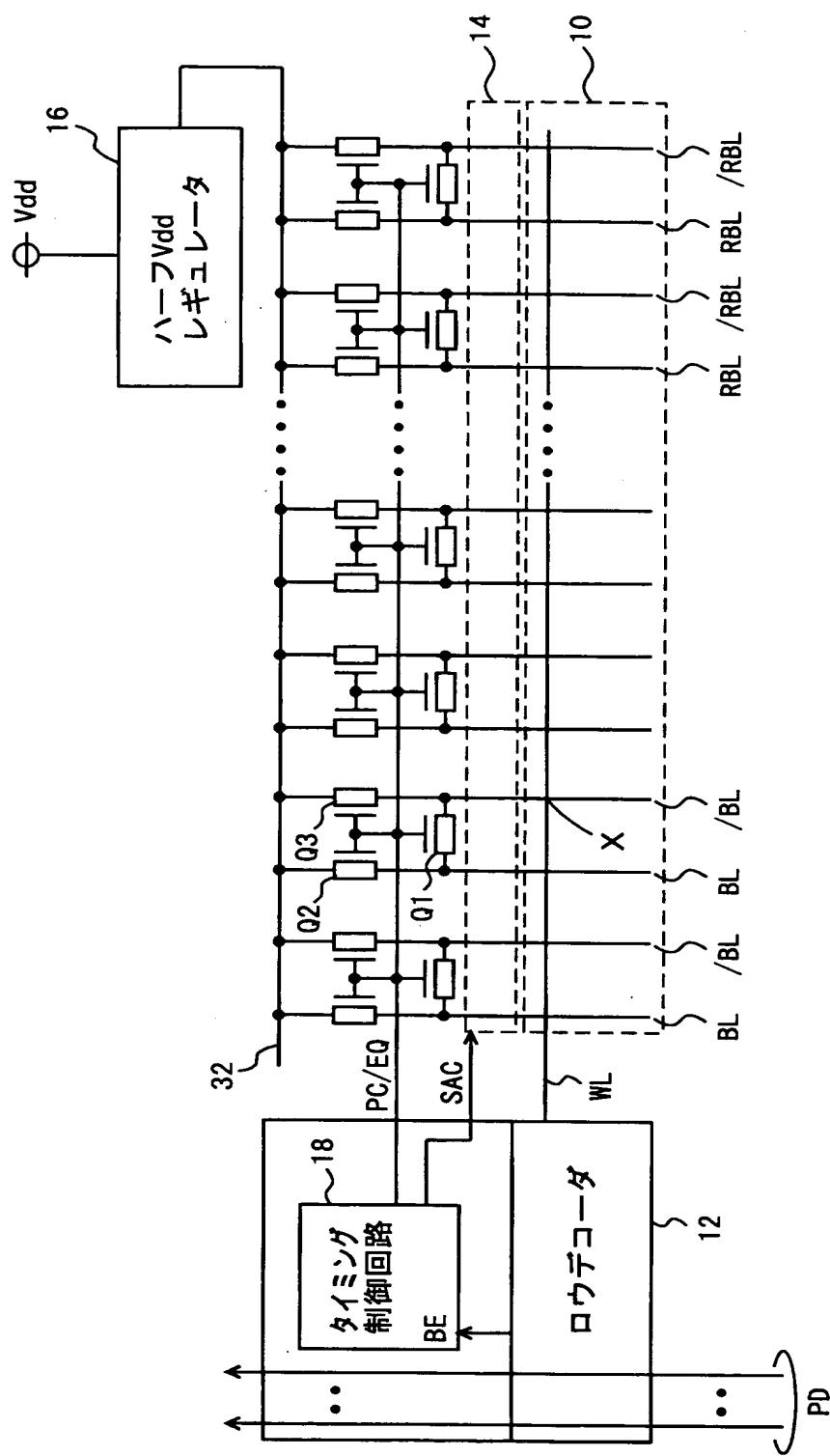
【書類名】

図面

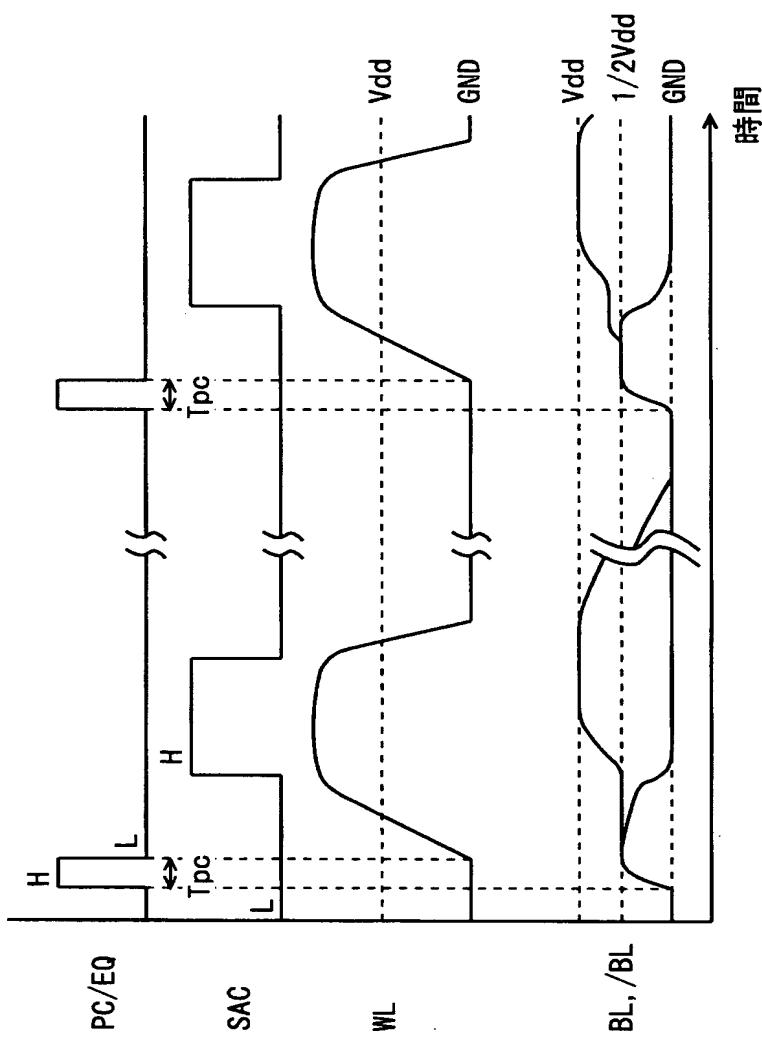
【図 1】



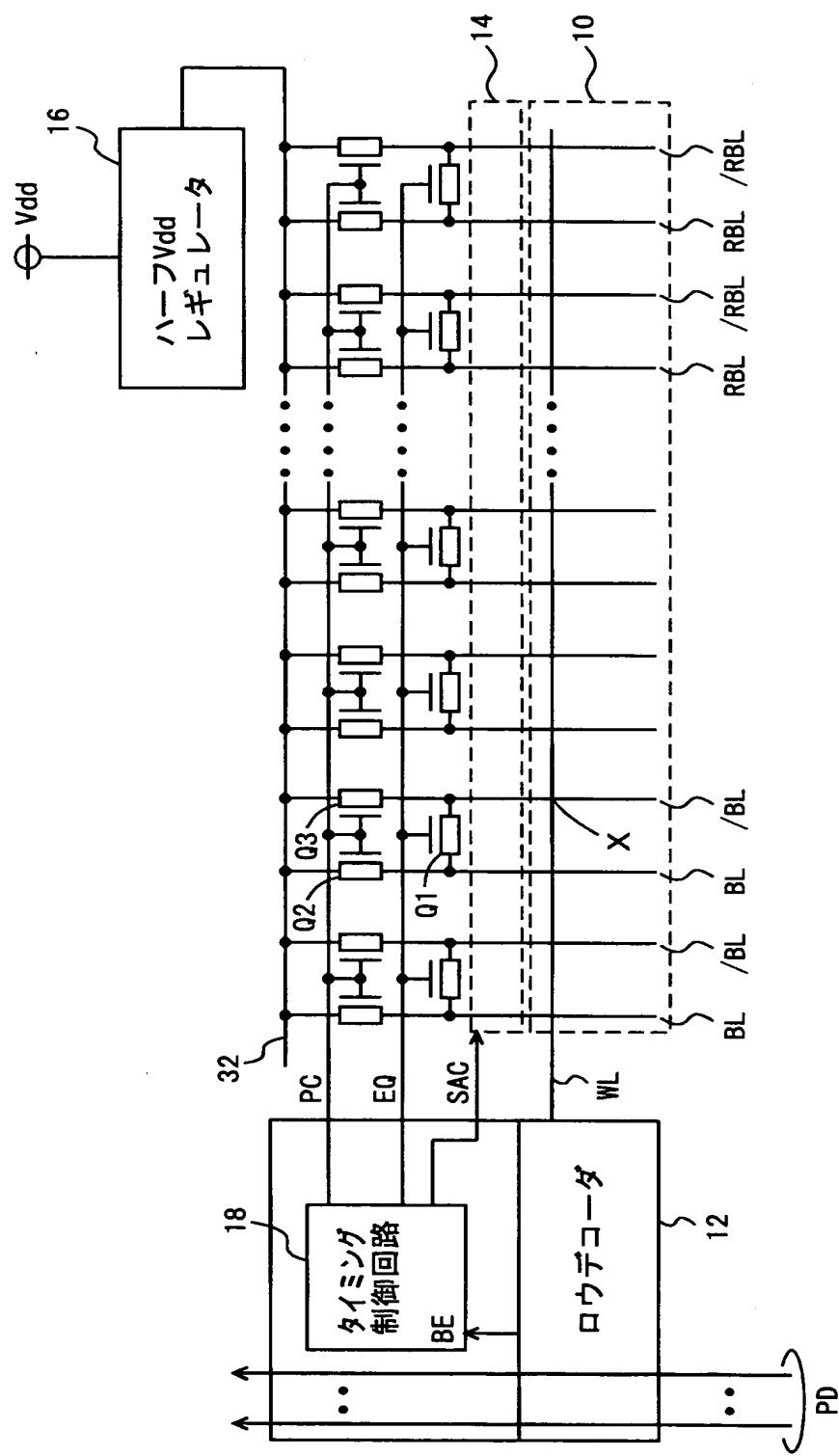
【図2】



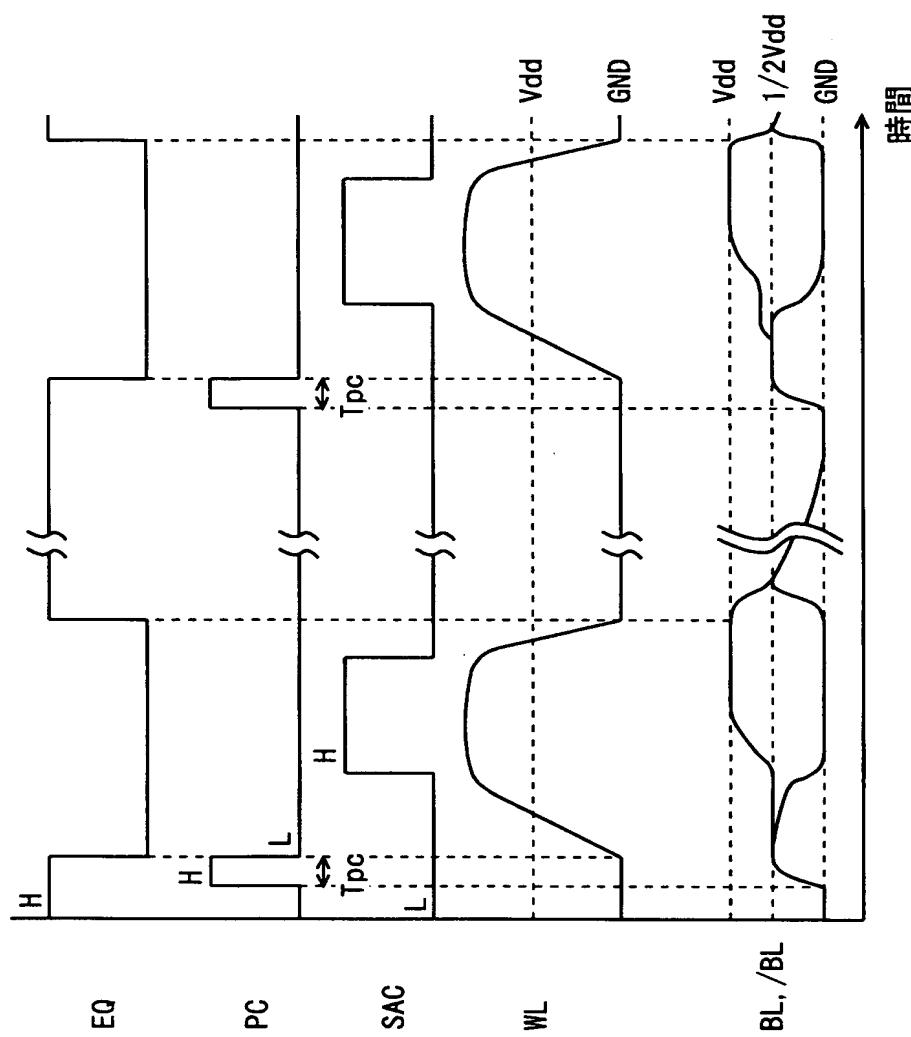
【図3】



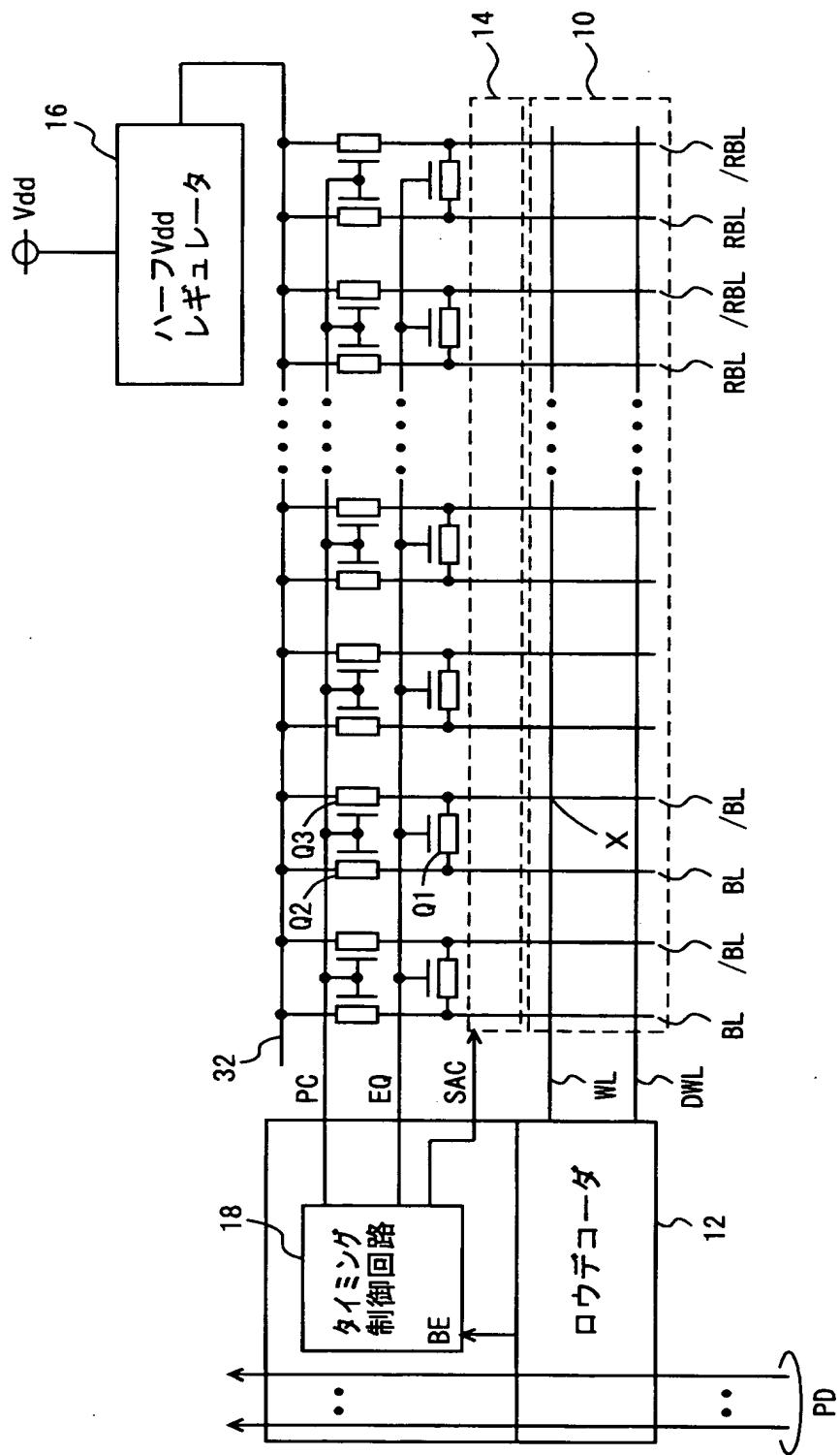
【図4】



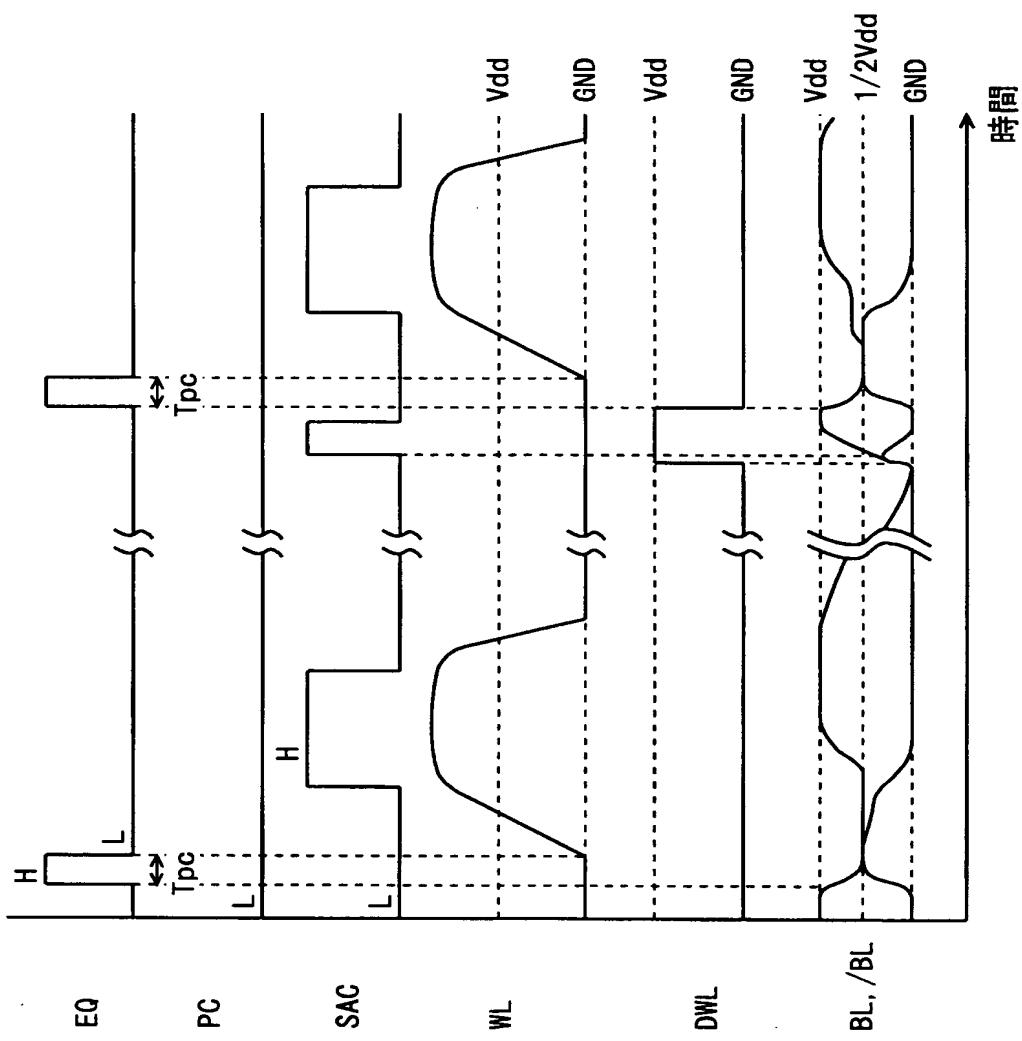
【図5】



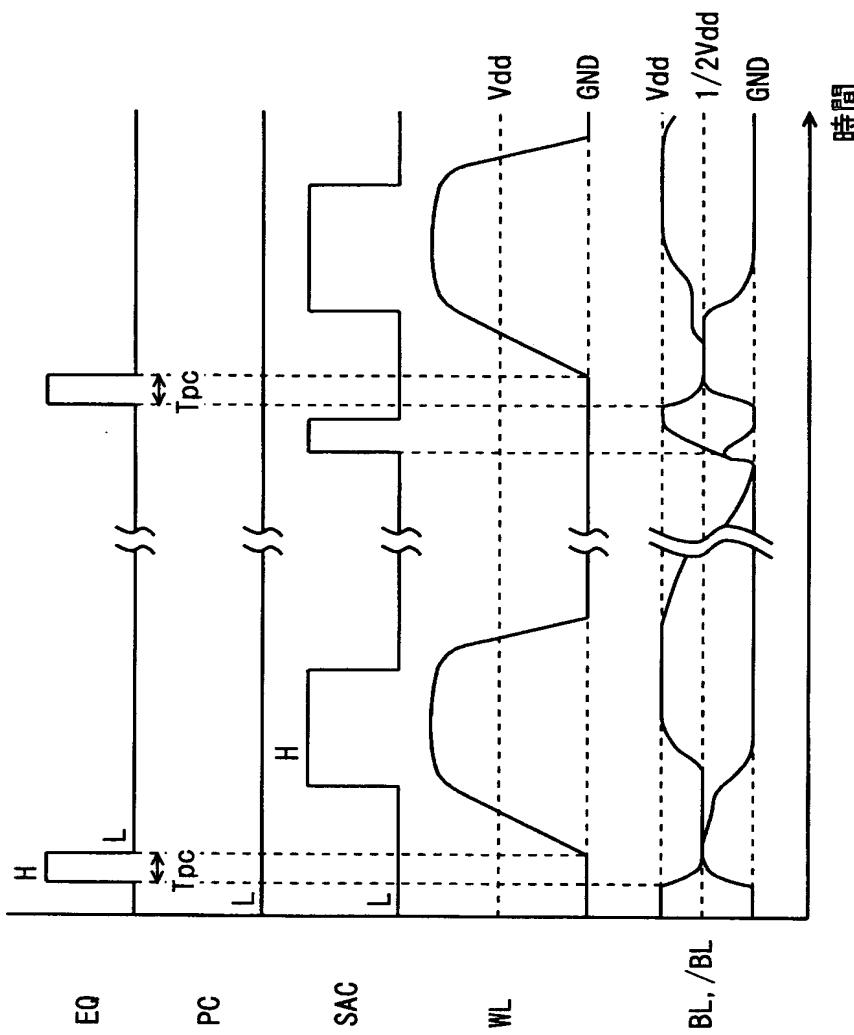
【図 6】



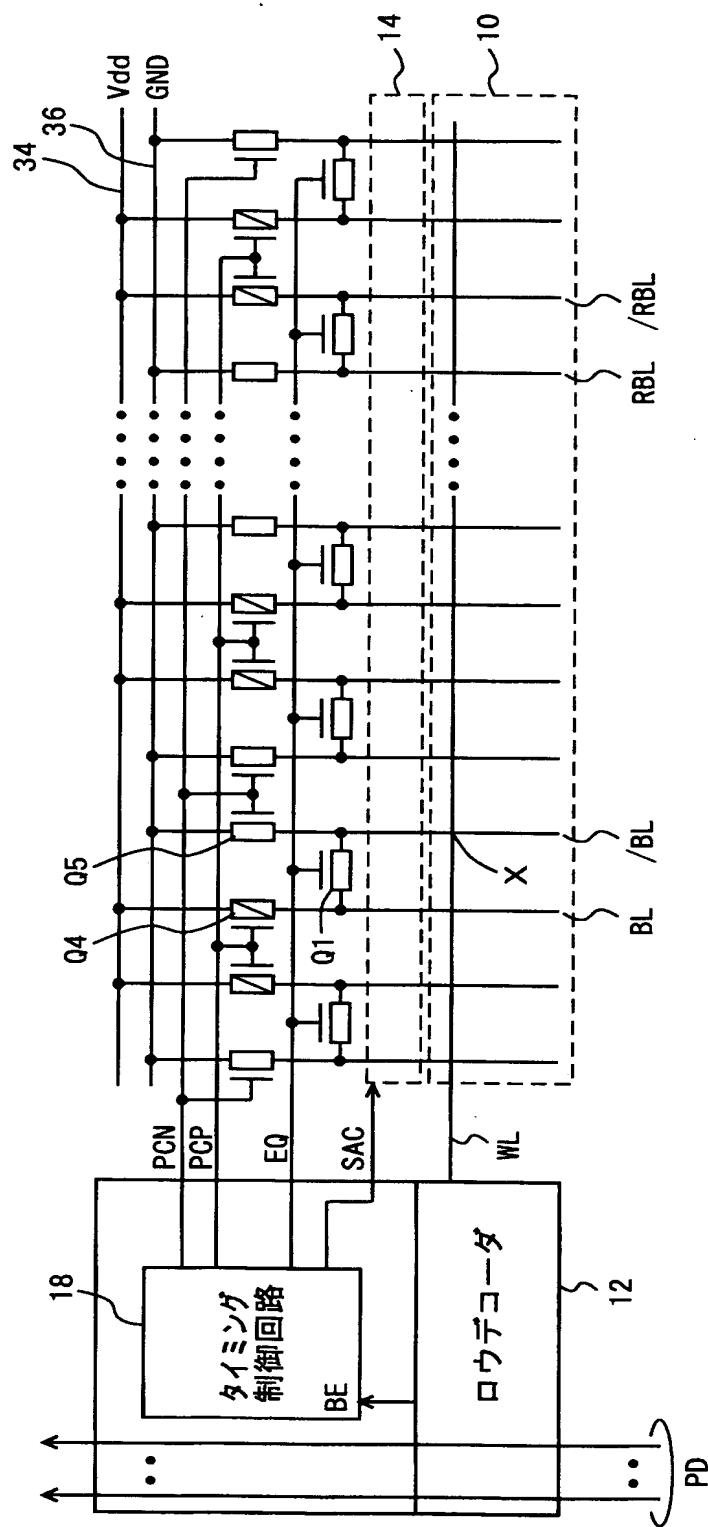
【図7】



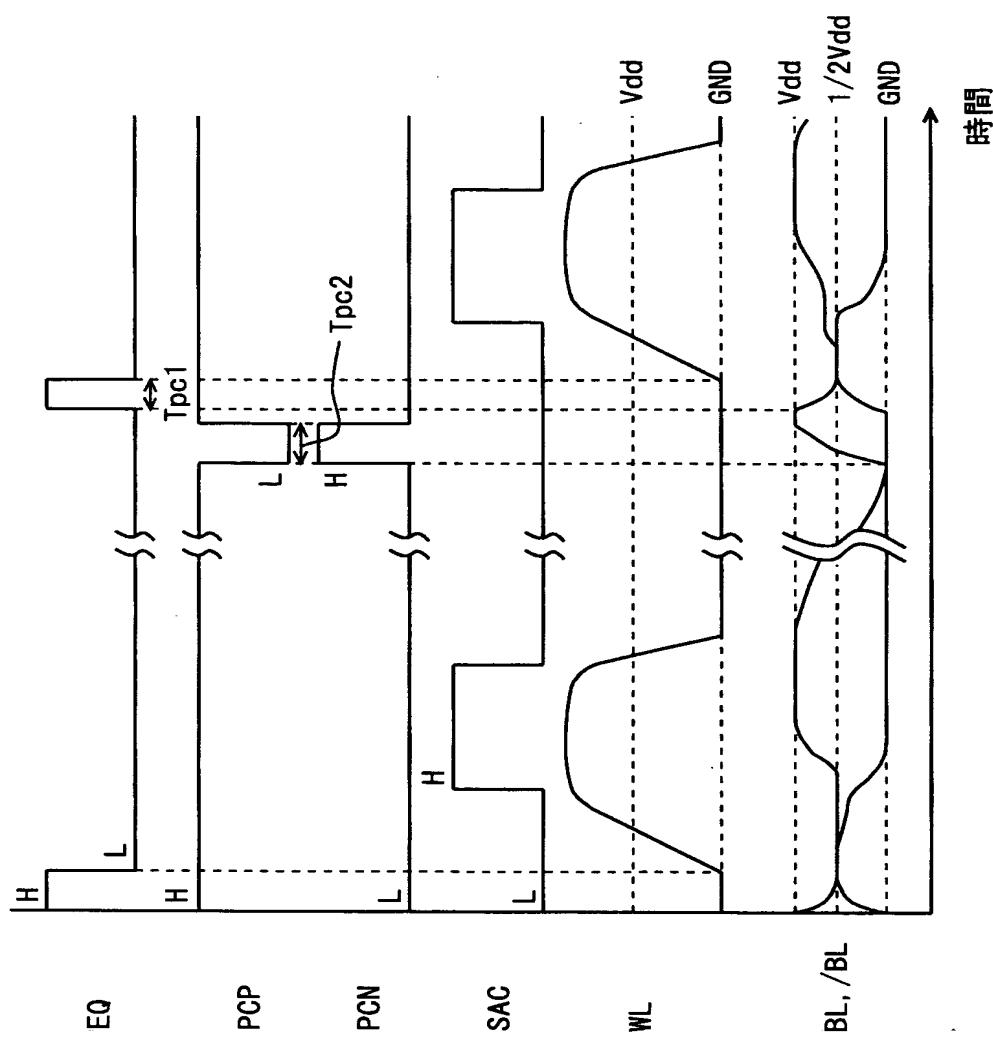
【図8】



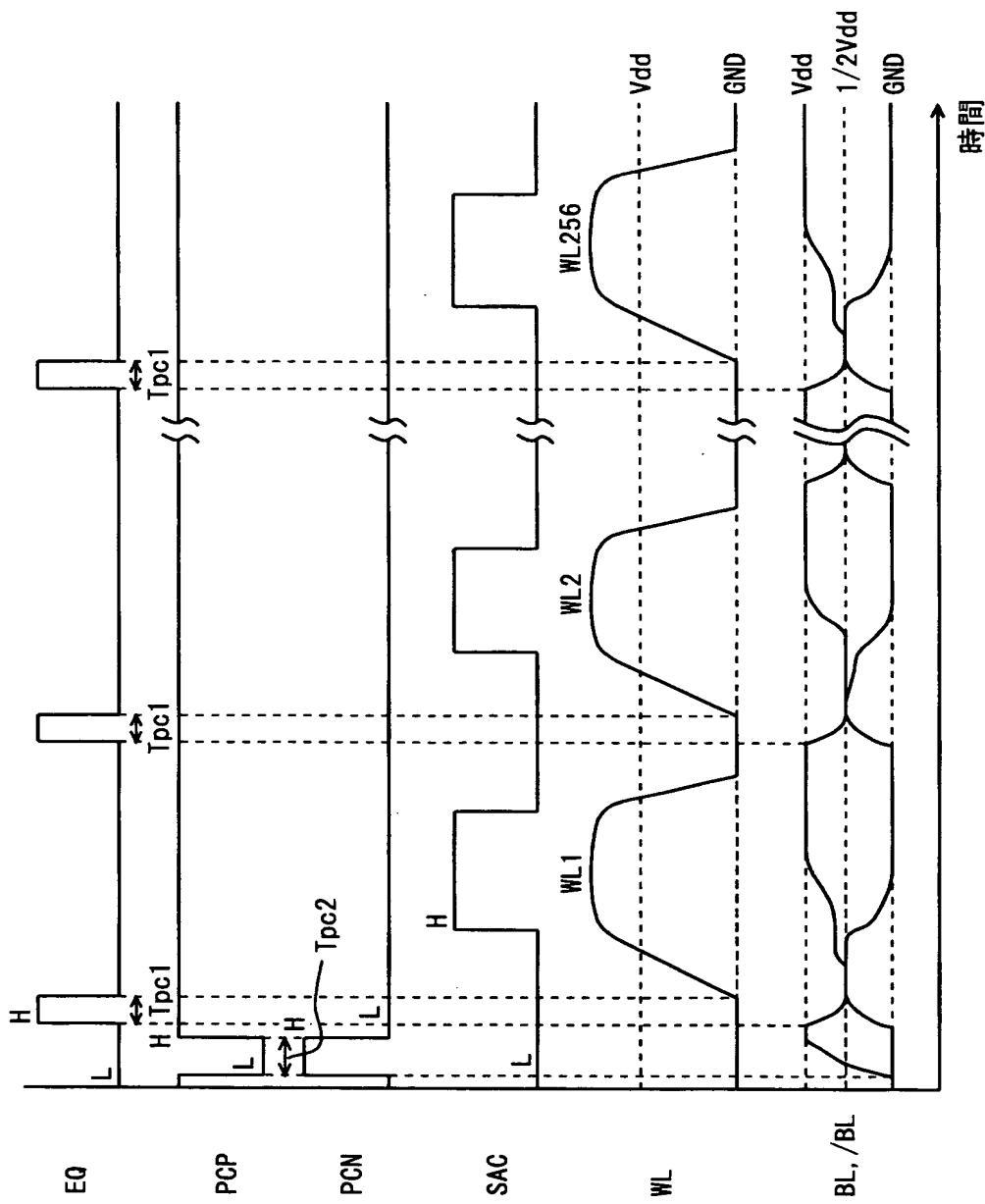
【図9】



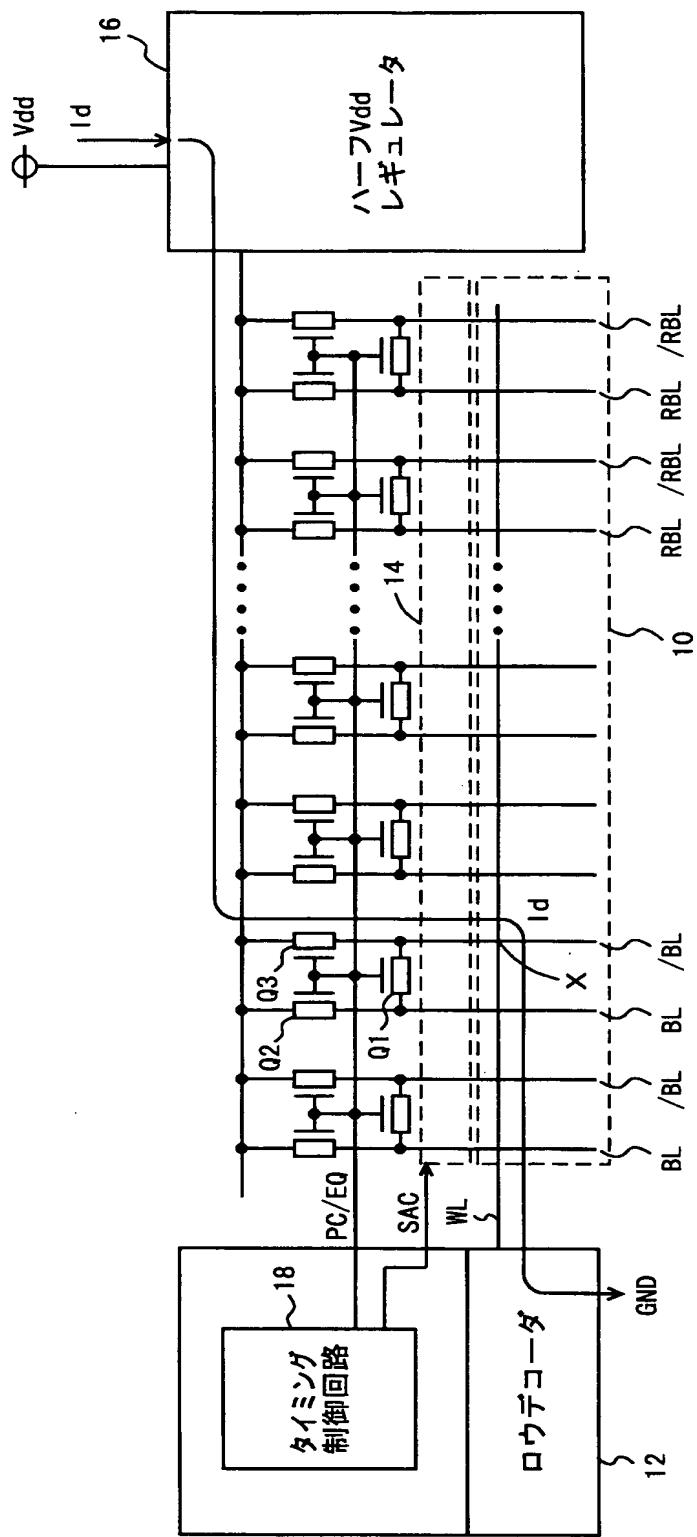
【図10】



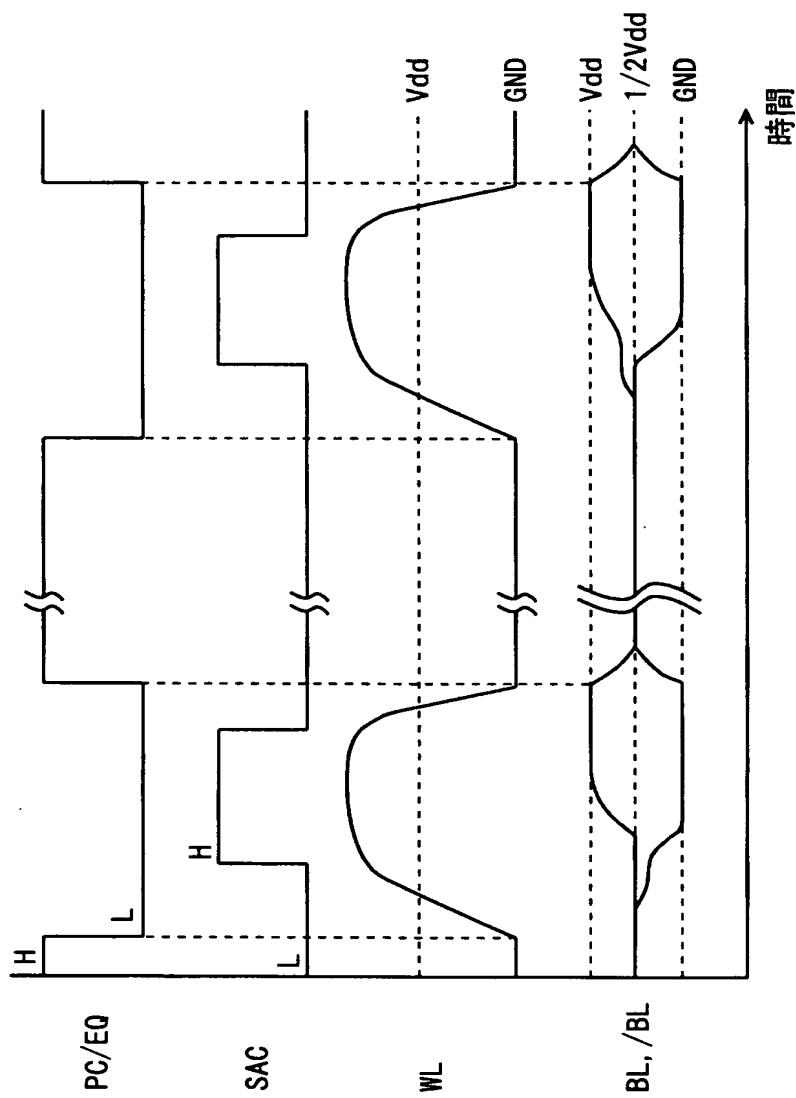
【図 11】



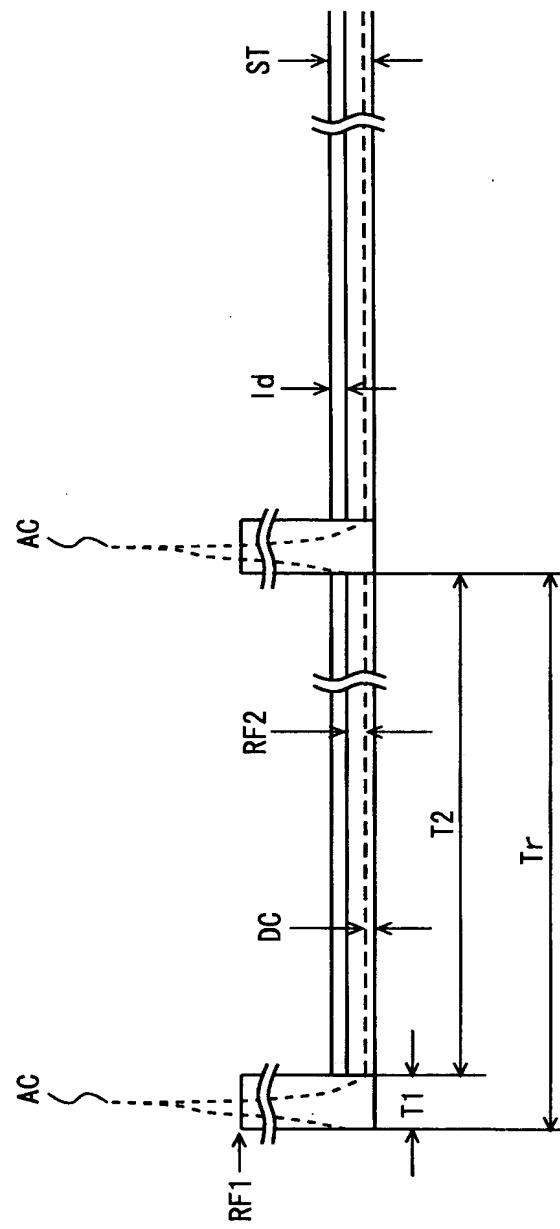
【図12】



【図 13】



【図14】



【書類名】 要約書

【要約】

【課題】 スタンバイ電流を低減することの可能なダイナミック型半導体記憶装置を提供する。

【解決手段】 リフレッシュ動作しか行わないスタンバイモードでは、ワード線WL活性化前の所定期間T<sub>p c</sub>だけプリチャージ／イコライズ信号P C／E Qを活性化し、ビット線対B L，／B Lをワード線WLの活性化直前にV<sub>d d</sub>／2にプリチャージする。スタンバイモードでは所定期間T<sub>p c</sub>を除き、ビット線対B L，／B LはV<sub>d d</sub>／2を発生するハーフV<sub>d d</sub>レギュレータから切り離されているので、仮にワード線がビット線と短絡する欠陥が生じっていても、これらの間に漏れ電流は流れない。

【選択図】 図2

## 認定・付加情報

特許出願の番号	特願 2003-128367
受付番号	50300745120
書類名	特許願
担当官	小野寺 光子 1721
作成日	平成 15 年 8 月 18 日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国 10504、ニューヨーク州 アーモンク ニュー オーチャード ロード インターナショナル・ビジネス・マシンズ・コーポレーション
【氏名又は名称】	

## 【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間 1623 番地 14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博

## 【代理人】

【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間 1623 番地 14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	市位 嘉宏

## 【代理人】

【識別番号】	100108501
【住所又は居所】	神奈川県大和市下鶴間 1623 番 14 日本アイ・ビー・エム株式会社 知的所有権
【氏名又は名称】	上野 剛史

## 【復代理人】

【識別番号】	100104444
【住所又は居所】	大阪府大阪市北区天満 2 丁目 2 番 1 号 角野ビル 2 階 インテリクス国際特許事務所
【氏名又は名称】	上羽 秀敏

特願 2003-128367

出願人履歴情報

識別番号

[390009531]

1. 変更年月日

[変更理由]

住 所

氏 名

2000年 5月 16日

名称変更

アメリカ合衆国 10504、ニューヨーク州 アーモンク (番地なし)

インターナショナル・ビジネス・マシーンズ・コーポレーション

2. 変更年月日

[変更理由]

住 所

氏 名

2002年 6月 3日

住所変更

アメリカ合衆国 10504、ニューヨーク州 アーモンク ニュー オーチャード ロード

インターナショナル・ビジネス・マシーンズ・コーポレーション